

# INTEGRATED CIRCUIT AND METHOD

Patent Number: JP2000156502  
 Publication date: 2000-06-06  
 Inventor(s): CHIN-PIN CHAO;; CHEN IH-CHIN;; WISE RICK L;; CATHERINE E VIOLET;; SUREENASU UNIKURISHUNAN  
 Applicant(s): TEXAS INSTR INC <TI>  
 Requested Patent: ☐ JP2000156502  
 Application Number: JP19990265971 19990920  
 Priority Number (s):  
 IPC Classification: H01L29/78; H01L21/8238; H01L27/092; H01L21/336  
 EC Classification:  
 Equivalents:

## Abstract

**PROBLEM TO BE SOLVED:** To prevent not only short-circuiting from a gate to a source/drain but also short-circuiting from the gate to its adjacent gate from occurring easily by forming transistor structure with a raised source/drain in combination with a T-type gate for self-alignment silicidation.

**SOLUTION:** A transistor 100 is provided with a selective silicon 11 that is formed at the top of a polysilicon gate 3 and is confined in a crosswise direction and a self-alignment silicide film 12G that is confined in a crosswise direction. Further, a self-alignment silicide source/drain 12SD is formed on a raised source/drain selective silicon 10 growing on source/drain diffusion 6. Multilayer side wall structure on the polysilicon gate 3 is composed of a spacer 7 that is a thermal oxide growing on the polysilicon gate 3 along with an oxide or a silicon nitride film being deposited additionally, a spacer 8 of a deposited oxide spacer, and a silicon nitride spacer 9.

Data supplied from the esp@cenet database - I2

AM

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156502

(P2000-156502A)

(43) 公開日 平成12年6月6日 (2000. 6. 6)

(51) Int. Cl.	識別記号	F I	テマート* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/8238		27/08	3 2 1 D
27/092		29/78	3 0 1 S
21/336			3 0 1 P

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平11-285971  
 (22) 出願日 平成11年9月20日 (1999. 9. 20)  
 (31) 優先権主張番号 1 0 1 2 3 6  
 (32) 優先日 平成10年9月21日 (1998. 9. 21)  
 (33) 優先権主張国 米国 (U S)

(71) 出願人 590000879  
 テキサス インストルメンツ インコーポ  
 レイテッド  
 アメリカ合衆国 テキサス州ダラス, ノース  
 セントラルエクスプレスウェイ 13500  
 (72) 発明者 チン - ビン チャオ  
 アメリカ合衆国 テキサス, プラノ, バト  
 リック レーン 6944  
 (72) 発明者 イー - チン チェン  
 アメリカ合衆国 テキサス, リチャードソ  
 ン, フォックスボロ ドライブ 3100  
 (74) 代理人 100066692  
 弁理士 浅村 祐 (外 3 名)

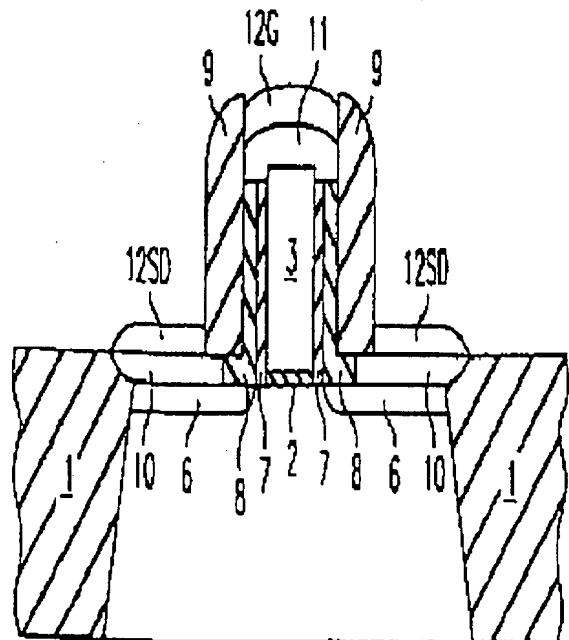
最終頁に続く

(54) 【発明の名称】 集積回路及び方法

(57) 【要約】 (修正有)

【課題】 集積回路においてゲートからの短絡を防止する。

【解決手段】 ゲート3の長さを越えるスペーサ間距離を有する、シリコン・ゲートを越えて延びる側壁スペーサ7が、ゲートの選択シリコン10、11成長及び後続の自己整合シリサイドーションを閉じ込めるために用いられる。



## 【特許請求の範囲】

【請求項1】 トランジスタの製造方法であって、

(a) シリコン基板の上のシリコン・ゲート上に側壁スペーサを形成し、前記スペーサはシリコン・ゲートの頂部を越えて延び、

(b) 前記基板上にシリコンを選択的に成長させて、隆起型ソース/ドレイン領域を形成し、前記側壁スペーサ間で上方向と横方向の両方に前記シリコン・ゲートを延長させる工程を含む方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電子半導体デバイスに関連し、更に特定して言えば、トランジスタ構造及びそのような構造の製造方法に関連する。

## 【0002】

【従来の技術及びその課題】高密度集積回路の性能はトランジスタ性能に依存するが、トランジスタの寸法を縮小することにより、従来のチタン又はコバルト自己整合ケイ化物処理のための低シート抵抗及び低接合漏れを維持することが困難になる。主要な問題の1つは、非常に狭いゲートのシート抵抗は抵抗の範囲が広く、このことは回路性能に重大な影響を有し得る。抵抗の範囲が広いのは、狭いゲートの幅を制御し、これらの狭いゲートの自己整合ケイ化物を制御することが困難なためである。第2の問題点は、側壁スペーサ上の金属が完全に除去されない結果、ゲート・ケイ化物が側壁スペーサを越えてソース/ドレイン・ケイ化物に短絡することである。更なる問題点は、ゲート電極ケイ化物の過剰成長が隣のトランジスタ・ゲートへ橋渡しをして、隣接するトランジスタ・ゲート同士が短絡し得ることである。別の主な問題点は、ソース/ドレイン・ケイ化物処理は、非常に短いチャネル・トランジスタの浅いソース/ドレイン接合を介して短絡し得ることである。

【0003】ナカハラ他『Ultra-shallow in-situ-doped raised source/drain structure for sub-tenth micron CMOS』、1996 Symp VLSI Tech Dig 174-175は、隆起型(raised)ソース/ドレイン構造を用いることによって、トランジスタ性能を改善している。

## 【0004】

【課題を達成するための手段及び作用】本発明は、自己整合シリサイドーションのためT型ゲートと組合わせた隆起型ソース/ドレインを有するトランジスタ構造を提供する。この発明は、ゲート抵抗の値が低く、その抵抗変動が非常に小さく、ゲートからソース/ドレインへの短絡だけでなくゲートから隣接ゲートへの短絡が起こる率が非常に低いという利点を有する。

## 【0005】

## 【実施の形態】概要

好ましい実施例では、隆起型ソース/ドレインをT型ゲートと組合わせて、トランジスタの強固な自己整合シリ

サイドーションを提供する。

## 【0006】第1の実施形態

図1は、第1の好ましい実施形態のトランジスタ100を立面断面図で示す。トランジスタ100は、ポリシリコン・ゲート3の頂部に形成され、横方向に閉じ込められた選択シリコン11と、シリコン11の上に形成され、横方向に閉じ込められた自己整合ケイ化物膜12Gを有する。更に、ソース/ドレイン拡散6の上に成長した隆起型ソース/ドレイン選択シリコン10上に、自己整合ケイ化ソース/ドレイン12SDが形成される。ポリシリコン・ゲート3上の多層側壁構造は、付加的に堆積された酸化物又はシリコン窒化物膜と共にポリシリコン・ゲート3上に成長した熱酸化物であるスペーサ7、堆積された酸化物スペーサであるスペーサ8、及びシリコン窒化物スペーサ9で構成される。ゲート誘電体2(酸化物、又は窒化物、又は窒化された酸化物、又は他の誘電体から成る)及びフィールド酸化物1は、単結晶シリコン又はSOI基板上にある。

【0007】典型的な寸法は以下を含む。：ポリシリコン3の幅(ゲート長であり、図1の左から右の距離)は100-130nm、ポリシリコン3の高さは90-220nm、ゲート誘電体2の厚みは2から10nm、側壁酸化物7の厚みは6-20nm、側壁窒化物8の厚みは10-20nm、側壁窒化物9の厚みは20-120nm、選択エピタキシャル・シリコン10(及び11)の厚みは30-70nm、及びケイ化物12G、12SDの厚みは30-70nmである。ゲートの頂部(シリコン11及びケイ化物12G)は、いずれの側でもポリシリコン3を15-40nm越えて延び、頂部はゲート幅がほぼ25-80%増加する(及びこれにより、ゲート抵抗が減少する)。更に、側壁窒化物9によるゲート頂部の閉じ込め(confinement)により、ゲートからソース/ドレインへの短絡が防止される。

## 【0008】好ましい実施形態の製造方法

図2-図5は、集積回路(例えば、CMOS又はBiCMOS)のための以下のような好ましい実施例の製造方法の各段階を示す。

【0009】(1) CMOSデバイスのための浅いトレンチ絶縁体及びツイン・ウェル(場合により、メモリ・セル・アレイ・ウェル及びバイポーラ・デバイス埋込み層が加わる)を備えたシリコン・ウエハ(又は、絶縁体上シリコン・ウエハ)で開始する。閾値調節インプラント(これはセル・トランジスタ及び種々の周辺トランジスタによって異なってもよい)を行い、熱酸化によってゲート誘電体2を形成する。ポリシリコン・ゲート材料を堆積し(厚み200nm)、燐又はボロンのインプラントによってn型又はp型(トランジスタの導電型による)のポリシリコンをドーピングする。代替として、ポリシリコンは、後続の段階でソース/ドレイン・インプラントの一部としてドーピングされてもよい。30-150nm

mの厚みのキャップ二酸化シリコン（又はPSG）層を堆積し、その後、それらの層をフォトリソグラフィによりパターンニングし、酸化物が頂部にあるゲート及びゲート・レベル相互接続を形成する。ゲート材料は、事前のベース・インプラントも必要とするバイポーラ・デバイスのためのポリシリコン・エミッタを提供することでもできる。浅いトレンチ絶縁酸化物1に加え、ゲート酸化物2、ゲート・ポリシリコン3、キャップ酸化物4、及びソース／ドレイン領域5を有するシリコン基板を示す図2を参照されたい。図2は、ゲート長（130nmであり得る）に沿った断面であり、ゲートはそれらの長さより遙かに大きな幅を典型的に有する。ゲート酸化物／ゲート・ポリシリコン積層を形成するためのエッチングは、酸化物に対し $\text{CHF}_3 + \text{CF}_4$ プラズマ、ポリシリコンに対し $\text{Cl}_2 + \text{HBr}$ のRIEであり得る。

【0010】（2）ポリシリコン3の熱酸化によって側壁酸化物7を6-20nmの厚みまで成長させる。これは、シリコン基板の露出したソース／ドレイン領域5上にも3-10nmの酸化物を成長させる。ソース／ドレイン領域5上の酸化物を通して、軽くドーパされたドレイン・インプラント6を行う。図3参照。10-40nmの厚みの共形酸化物又は窒化物を任意に堆積した後、中程度にドーパされたドレイン・インプラントが任意に行われ、異方性エッチバックがその後に行われて熱酸化物スペーサ上に側壁スペーサが形成されてもよい。NMOSデバイスの幾つかのみに、又はPMOSデバイスの幾つかのみに、又はいずれかの又は両方の導電型の全てのトランジスタに、任意の側壁スペーサが付加されてもよい。キャップ酸化物（PSG）4は、任意のスペーサを形成する異方性エッチバックの間に完全に除去されないように充分厚い。これらの任意の側壁スペーサは、図面では側壁スペーサ7の一部として示す。

【0011】（3）TEOSの分解により10-60nmの厚みの共形酸化物層8を堆積し、その後、ジクロロシラン及びアンモニアの反応により20-120nmの厚みの共形窒化物層9を堆積する。酸化物8に関して窒化物9を選択的（即ち、3対1）にエッチングする異方性RIEエッチングでエッチバックして、側壁窒化物スペーサ9を形成する。このエッチングにより、水平面から窒化物は取り除かれるが、下にある酸化物8のほとんどは残る。このエッチングには、 $\text{SF}_6$ 、 $\text{Cl}_2$ 、 $\text{CHF}_3$ の混合物を用いることができる。図4は、熱的側壁酸化物8に、中程度にドーパされたドレイン側壁スペーサを任意に加えたものを1つの側壁スペーサ7として示す。

【0012】（4）酸化物層8の露出された（水平の）部分を、例えば、 $\text{CHF}_3 + \text{CF}_4$ を用いてRIEで異方性エッチングする。その後、残っているキャップ酸化物（PSG）4をHF（湿式又は蒸気）で取除く。熱酸化物に、中程度にドーパされたドレイン・スペーサ

7、TEOSスペーサ8、及び窒化物スペーサ9を加えた多層側壁構造を示す図5を参照されたい。窒化物スペーサ9は、後に除去される酸化物（PSG）4を越えて堆積されるため、ポリシリコン3、及びスペーサ7、8より高く延びることに注目されたい。

【0013】（5）以下のように、ソース／ドレイン領域5及びゲート・ポリシリコン3の頂部の上にエピタキシャル・シリコンを選択的に成長させる。高強度のランプ加熱室温化学蒸着装置で、900℃の $\text{H}_2$ 雰囲気下でウエハをプリベークする。プリベークにより、シリコン表面から自然酸化物を洗浄する。次に、ウエハの上に850℃でジクロロシラン、 $\text{HCl}$ 、及び $\text{H}_2$ の混合物を流す。これは、5%の均一性でエピタキシャル・シリコンを選択的に成長させる。シリコン成長が、ソース／ドレイン領域5上に30-70nmの厚みのシリコン10を形成するように時間を定める。これは、ポリシリコン3の頂部上にも約27-90nmのシリコン11を成長させる。元のキャップ酸化物4の厚みのため、窒化物スペーサ9は、ゲート・ポリシリコン3の頂部を約100nm越えて延び、そのため、窒化物スペーサ9がシリコン11を閉じ込めることに注目されたい。

【0014】（6）シリコン10に砒素及びボロンをインプラントし、それぞれNMOS及びPMOS隆起型ソース／ドレインを形成する。これはシリコン11もドーパする。

【0015】（7）チタン又はコバルトをブランケット堆積（例えば、スパッタリング）し、その金属を下にある露出したシリコン10、11と反応させて、自己整合ケイ化物を形成させ、反応しなかった金属（即ち、窒素雰囲気中で反応させたチタンの場合、 $\text{TiN}$ ）を取除く。側壁窒化物9は、窒化物を横方向に閉じ込めることに注目されたい。これにより図1のトランジスタが完成する。

【0016】（8）以下のような更なる処理工程で集積回路を完成させる。平坦化された誘電体層（例えば、BPSG又は酸化物と、CMPによる平坦化）でゲート・レベル構造を覆う。1トランジスタ、1キャパシタのメモリ・セルを用いる埋込みメモリ・セル・アレイでは、ビット線とセル・キャパシタが次に形成され得る。平坦化された誘電体に、フォトリソグラフィによって、選択されたソース／ドレイン及びゲート・レベル相互接続の位置までの孔（コンタクト、バイア）を定めエッチングする。第1のレベルの金属（例えば、タンガステン又は $\text{TiN}$ で覆われた（clad）アルミニウム又は $\text{TaN}$ で覆われた銅）をブランケット堆積する（バイア充填を含む）。第1のレベルの金属をフォトリソグラフィにより定め、エッチングして、第1のレベルの相互接続を形成する。誘電体堆積、バイア・エッチング、金属堆積、及びパターンニングを繰り返して、更なる金属相互接続レベルを形成する。一番上のレベルの金属は、ボンド・パ

ッド及びヒューズを含み得、パッシベーション被覆（例えば、窒化物）は、プローブ・テストのためのボンド・パッドへの開口部を有する。その後、機能回路が取り付けられ、ワイヤボンディングされ、パッケージングされる。

【0017】同様に、集積回路を完成させるため、ダマシ（damascene）金属相互接続レベルを用いてもよい。

#### 【0018】変形

好ましい実施形態は、いずれもシリコン成長及び後続のシリサイド化のための、隆起型ソース／ドレインのための選択エピタキシャル・シリコン、及び側壁スペーサ閉じ込めを備えるポリシリコン・ゲートの横方向拡張の特性を維持する限り、種々のやり方で変形することができる。例えば、材料は、ポリシリコン上の初期窒化物キャップなどに変えてもよく、この窒化物は、好ましい実施例の酸化物キャップがHFで除去されるのに類似して、高温の（hot）リン酸で除去されてよい。窒化物キャップは、窒化物の内側側壁スペーサ及び酸化物の外側スペーサに伴い、この酸化物の外側スペーサはその後、選択エピタキシャル・シリコン成長を閉じ込める。更に、ゲート上のシリコン成長の横方向の延長は、ゲートの頂部が、ゲートの底部の長さの2倍又はそれ以上であるように（側壁スペーサの寸法が増加することによって）増加させることができる。

【0019】以上の説明に関して更に次の項を開示する。

（1）トランジスタの製造方法であって、（a）シリコン基板の上のシリコン・ゲート上に側壁スペーサを形成し、前記スペーサはシリコン・ゲートの頂部を越えて延び、（b）前記基板上にシリコンを選択的に成長させて、隆起型ソース／ドレイン領域を形成し、前記側

壁スペーサ間で上方向と横方向の両方に前記シリコン・ゲートを延長させる工程を含む方法。

【0020】（2）第1項に記載の方法であって、（a）前記隆起型ソース／ドレイン領域と前記延長されたシリコン・ゲートとをケイ化させ、前記側壁スペーサ間のゲートをケイ化させる工程を更に含む方法。

【0021】（3）ゲートの長さを越えるスペーサ間距離を有する、シリコン・ゲートを越えて延びる側壁スペーサが、ゲートの選択シリコン成長及び後続の自己整合シリサイド化を閉じ込めるために用いられる。

#### 【図面の簡単な説明】

【図1】好ましい実施形態の集積回路トランジスタの立面断面図。

【図2】好ましい実施形態における製造方法の各段階の立面断面図。

【図3】好ましい実施形態における製造方法の各段階の立面断面図。

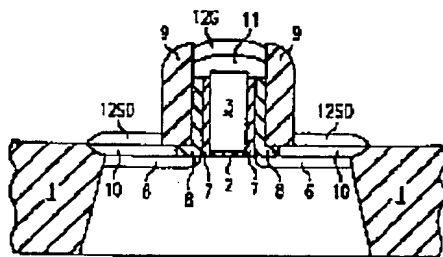
【図4】好ましい実施形態における製造方法の各段階の立面断面図。

【図5】好ましい実施形態における製造方法の各段階の立面断面図。

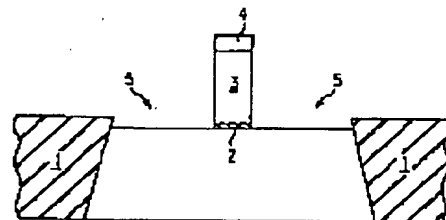
#### 【符号の説明】

- 1 フィールド酸化物
- 2 ゲート誘電体
- 3 ポリシリコン・ゲート
- 6 ソース／ドレイン拡散
- 7 側壁スペーサ
- 8 酸化物スペーサ
- 9 シリコン窒化物スペーサ
- 10, 11 選択シリコン
- 12G ケイ化物
- 12SD 自己整合ケイ化ソース／ドレイン

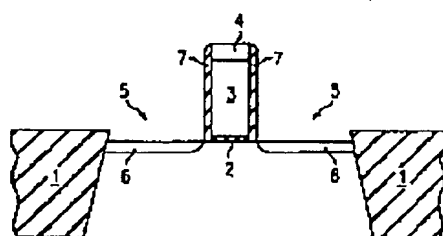
【図1】



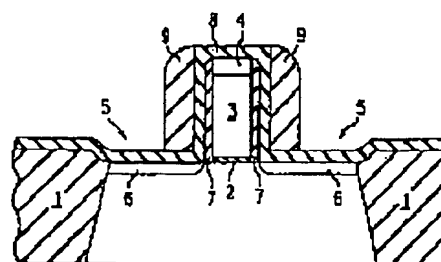
【図2】



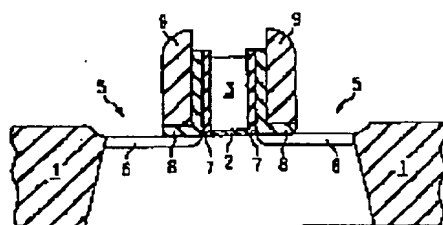
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 リック エル. ワイズ  
アメリカ合衆国 テキサス, プラノ, ポス  
ト オーク ドライブ 604

(72)発明者 キャサリン イー バイオレット  
アメリカ合衆国 テキサス, ダラス, スプ  
リング グローブ アベニュー 13740

(72)発明者 スレーナス ウニグリシュナン  
アメリカ合衆国 テキサス, ダラス, オー  
デリア ロード 12121